

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP7183310
Publication date: 1995-07-21
Inventor(s): SATO FUMIHIKO
Applicant(s): NEC CORP
Requested Patent: ☐ JP7183310
Application Number: JP19930323513 19931222
Priority Number(s):
IPC Classification: H01L21/331; H01L29/73; H01L21/20
EC Classification:
Equivalents: JP2630237B2

Abstract

PURPOSE: To reduce the parasitic capacitance between the base and the collector in a bipolar transistor, in which an intrinsic base is formed through selective epitaxy.
CONSTITUTION: A single-crystal silicon film 33 for a base electrode and an epitaxial layer 3 for a collector are grown selectively under an exposed state. An intrinsic base 8 and an external base 34 are both grown in the forms of single crystals at that time, thus forming a self-alignment type bipolar transistor.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-183310

(43) 公開日 平成 7 年 (1995) 7 月 21 日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/331				
29/73				
21/20		8418-4M		
			H 0 1 L 29/ 72	

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平5-323513

(22) 出願日 平成 5 年 (1993) 12 月 22 日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(72) 発明者 佐藤 文彦
東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

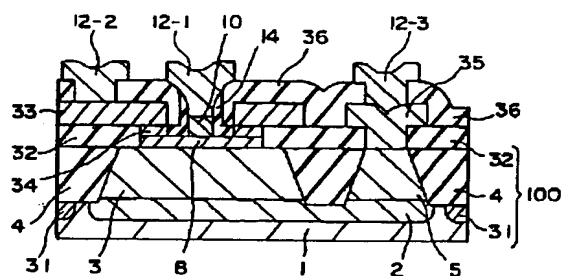
(74) 代理人 弁理士 後藤 洋介 (外 2 名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 真性ベースを選択エピタキシャルで形成するバイポーラトランジスタにおいてベース/コレクタ間寄生容量を低減させる。

【構成】 ベース電極用単結晶シリコン膜 33 と、コレクタ用エピタキシャル層 3 とが、露出している状態で選択的にエピタキシャル成長させる。この時、真性ベース 8 と外部ベース 34 とがともに単結晶のかたちで成長して自己整合型バイポーラトランジスタが作成される。



【特許請求の範囲】

【請求項1】 第1の導電型の単結晶半導体基板の表面に設けられた第1の絶縁膜に選択的に第1の開口が形成され、該第1の絶縁膜上に第2の導電型の第1の単結晶半導体膜が設けられ、かつ該第1の単結晶半導体膜は前記第1の開口の全周囲から所定の長さで開口部内へ延びる水平方向せり出し部分を有し、該せり出し部分の底面から下方へ第2の導電型の第2の単結晶半導体膜が設けられ、前記第1の開口内の前記単結晶半導体基板表面上には第2の導電型の第3の単結晶半導体膜が設けられ、前記第2の単結晶半導体膜と前記第3の単結晶半導体膜とは前記第1の絶縁膜開口段差の途中で互いに接続されており、前記第1及び前記第2の単結晶半導体膜の表面及び前記第3の単結晶半導体膜の表面に選択的に第2の絶縁膜が形成され、第1の単結晶半導体膜のせり出し寸法は、第3の単結晶半導体膜厚よりも大きいことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第1、前記第2、及び前記第3の単結晶半導体膜はそれぞれシリコンで形成されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記第2の単結晶半導体膜および前記第3の単結晶半導体膜はそれぞれSiGe混晶膜で形成され、前記第1の単結晶半導体膜はシリコンで形成されていることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、前記第1の単結晶半導体膜の表面に高融点金属シリサイド膜が形成されていることを特徴とする半導体装置。

【請求項5】 第1導電型の単結晶半導体層の表面に第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜上に選択的に第1の開口が形成された第1の単結晶半導体層を形成する第2の工程と、前記第1の単結晶半導体膜の表面および前記第1の開口を規定する側面上に第2の絶縁膜を形成する第3の工程と、前記第2の絶縁膜および前記第1の単結晶半導体膜をマスクとして前記第1の絶縁膜を選択的に除去するして前記第1の開口よりも大きな第2の開口を前記第1の絶縁膜に形成する第4の工程と、前記第2の開口内で前記単結晶半導体基板の表面から第2導電型の第3の単結晶半導体膜を成長するとともに前記第1の単結晶半導体膜の露出した下面から第2導電型の第2の単結晶半導体膜を成長してこれら2つの膜を接続する第5の工程と、第2の絶縁膜と前記第3の単結晶半導体膜との間の間隙を第3の絶縁膜で埋める第6の工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関し、特にバイポーラ型半導体装置及びその製造

方法に関する。

【0002】

【従来の技術】 従来、バイポーラ型半導体装置として、例えば、特開平4-330730号公報に記載されたバイポーラトランジスタが知られている。

【0003】 比抵抗 $10 \sim 15 \Omega \cdot \text{cm}$ のP型単結晶シリコン基板1にヒ素を不純物とする高濃度のN⁺型コレクタ埋込領域2が選択的に形成され、その全面に $5 \times 10^{15} \text{ cm}^{-3}$ の不純物及び $1.0 \mu\text{m}$ の厚さでN型単結晶エピタキシャル層3が形成される。エピタキシャル層3は、周知の選択酸化により基板1に達する酸化膜4によって複数の島領域に分離されている。図面では、埋込領域2に対応する島領域3のみが示されている。この島領域3は、埋込領域2に達する酸化膜4によって2つの部分に分離され、左側の部分はコレクタ領域として作用し、右側の部分はN⁺型コレクタ取り出し領域5としてその後のリン拡散によって高濃度化される。これによって、シリコン基板100が構成される。

【0004】 この基板100上はシリコン窒化膜7で覆われており、同膜7にはコレクタ領域3の一部を露出しベース形成のための開口101とコレクタ取り出し領域5を露出する開口102とが形成される。なお、シリコン窒化膜7の下に薄いシリコン酸化膜を設けてもよい。シリコン窒化膜7上にはP型の多結晶シリコン層9が選択的に形成されており、同層9は開口101のエッジから開口内に水平方向にせり出している。そのせり出し部分の下面からコレクタ領域3に向かってP型の多結晶シリコン層6が形成される。一方、コレクタ領域3の露出した部分にはエピタキシャル成長による単結晶シリコンによりP型ベース領域8が形成されており、これら多結晶シリコン層9とベース領域8は互に接触している。開口部102側にはN型多結晶シリコン層11が形成され、コレクタ取り出し領域5と接触している。シリコン酸化膜13および14によってエミッタ形成部を除いてベース領域8および多結晶シリコン層6及び9が覆われる。ベース領域8の露出部分には単結晶シリコンによるN型エミッタ領域10が形成される。そして、アルミニウムによるエミッタ電極12-1、ベース電極12-2、及びコレクタ電極12-3がエミッタ領域10及び多結晶シリコン層6及び11にそれぞれ接触して形成される（以下このトランジスタを第1のトランジスタと呼ぶ）。

【0005】 さらに、ベース電極用ポリシリコンを固相エピタキシー法によって単結晶化する技術が特開平4-322432号公報に記載されている。

【0006】 図7を参照して、上述の単結晶化技術では、S1基板1上にコレクタ埋込み層2、エピタキシャル層3及び酸化膜110を順次形成し、酸化膜110に孔120を形成する。さらに露出したエピタキシャル層3及び酸化膜110上に多結晶S1膜を形成し、この

3

多結晶Si膜を固相エピタキシー法により単結晶SiGe膜8と多結晶SiGe膜9とに置換する。そして単結晶SiGe膜8上にエミッタ膜10を形成する（以下このトランジスタを第2のトランジスタと呼ぶ）。

【0007】この結果、ベース・コレクタ間の接合容量が減少し、しかもベース層とベース電極取出し層とをセルフアライン的に形成できる。

【0008】

【発明が解決しようとする課題】ところで、上述の半導体装置においては次のような問題点がある。つまり、第1のトランジスタでは、真性ベースとしてSiGeを選択エピタキシャル法で成長させる際、SiGeポリ成長速度がSiGeエピ成長速度に比べて遅い。この成長速度の差は、Ge濃度に依存し、たとえばGe=10%すなわちSi_{0.9}Ge_{0.1}の時ではポリ／エピ成長速度比=1/5~1/4となる。この結果、ベースポリ／Siコレクタ間の距離が近づき、ベース／コレクタ間寄生容量が増大するという問題がある。

【0009】第2のトランジスタでは、真性ベースとベース電極用ポリシリコンとが、同一工程で堆積されたポリシリを固相エピタキシャル成長させている。従って、ベース電極用ポリの厚さは、真性ベースの厚さとはほぼ同じになってしまう。遮断周波数 f_T を向上させるには、真性ベースを薄くする必要があるが、この場合、ベース電極用ポリも結果的に薄くなるので、ベース抵抗 R_b が増大してしまう。すなわち f_T と R_b とにトレードオフが存在するので、総合的にトランジスタを高性能化できないという問題点がある。

【0010】本発明の目的はベース／コレクタ間寄生容量が少なく高性能な半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明では、堆積されたアモルファスシリコンがコレクタ引き出しで接している単結晶シリコンを核として固相成長させ、絶縁膜上まで単結晶とする。これによって、選択エピタキシャル成長時のポリ及びエピ成長速度比の違いに起因して発生するベース／コレクタ間寄生容量の増大を緩和することができる。

【0012】また、真性ベースとベース電極用シリコンとが各々別の工程で形成されている。これによって、 f_T と R_b とのトレードオフを緩和することができる。

【0013】

【実施例】次に本発明について図面を参照して説明する。

【0014】まず、図1を参照して、本発明による半導体装置の第1の実施例について説明する。

【0015】比抵抗 $10 \sim 15 \Omega \cdot \text{cm}$ で(100)面方位のP⁺型単結晶シリコン基板1に、例えば、ヒ素が $1 \times 10^{16} \text{ cm}^{-3}$ 及び70keVで選択的にイオン注入

4

されているN⁺型コレクタ埋込領域2が形成され、チャネルストッパー埋込領域31にはボロンが 100 keV 及び $1 \times 10^{13} \text{ cm}^{-2}$ で選択的に注入され、全面にリン濃度約 $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さ約0.7 μm のN型単結晶エピタキシャル層3が形成されている。エピタキシャル層3は、周知の選択酸化によって基板1に達する酸化膜4によって複数の島領域に分離されている。この島領域は、図面上埋込領域2に対応するエピタキシャル層3のみを示してある。この島領域は埋込領域2、31に達する酸化膜4によって2つの部分に分離され、左側の部分は、コレクタ領域となり右側の部分はN⁺型コレクタ取り出し領域5としてその後リンイオン注入によって高濃度化される。かくしてシリコン基体100が構成される。

【0016】この基体100上は約100nmのシリコン酸化膜32で覆われており、同膜32にはコレクタ領域3の一部を露出し、ベース形成のための開口101とコレクタ取り出し領域5を露出させる開口102とが形成される。シリコン酸化膜32上に、厚さ約200nm、イオン注入でボロンが 10 keV 及び $5 \times 10^{15} \text{ cm}^{-2}$ でドーピングされているP⁺型の単結晶シリコン層33が選択的に形成されており、同層33は開口101の端部から開口内に水平方向に約170nmせり出している。そのせり出し部分の下面からコレクタ領域3に向かってP型の単結晶シリコン（厚さ約50nm、ボロン濃度約 $6 \times 10^{15} \text{ cm}^{-3}$ ）34が形成される。他方、コレクタ領域3の露出部分上には、ボロン濃度約 $6 \times 10^{16} \text{ cm}^{-3}$ で厚さ約60nmの単結晶シリコンからなるP型真性ベース領域8が形成されており、これら単結晶シリコン34と真性ベース領域8とは互いに接している。

【0017】開口102にはN型単結晶シリコン層35が形成され、コレクタ取り出し領域5と接している。シリコン窒化膜36およびシリコン酸化膜14によってエミッタ形成部を除いてベース領域8および単結晶シリコン33、34が覆われている。ベース領域8の露出部分には単結晶シリコンによるN型エミッタ領域10が形成される。そして、アルミニウムによるエミッタ電極12-1、ベース電極12-2、及びコレクタ電極12-3がエミッタ領域10及び単結晶シリコン33及び35にそれぞれ接触して形成される。

【0018】次に本発明の半導体装置の主要作製工程について図2を参照して説明する。尚、ここでは特開平4-330730号公報に記載された工程と異なる特有の工程についてのみ説明する。

【0019】まず、図2(a)を参照して、抵抗率 $10 \sim 20 \Omega \cdot \text{cm}$ で(100)面方位のP⁺型シリコン基板1の全面を厚さ約6000オングストローム酸化し、この酸化膜上に通常のリソグラフィ工程によってフォトレジストをパターンニングする。このフォトレジストをマスクとしてSiO₂膜をHF系エッチング液によって

5

選択的にエッチングしてフォトレジストのない領域のSiO₂膜を除去した後、フォトレジストを除去する。

【0020】次工程でのイオン注入によって発生するダメージを軽減させるため及び次工程以降のリソグラフィ工程での位置合せ用のパターン形成のためにSiO₂パターニングが施されたP⁺型Si基板を500オングストローム程度酸化する。次に、Asをイオン注入して前述の約6000オングストロームのSiO₂膜が除去された領域のみに選択的にn⁺埋込領域2を形成する。イオン注入条件の一例としては70keV、5E15 (5×10¹⁵) cm⁻²であり、注入後温度1100℃で3時間熱処理を施し、これによって、イオン注入時のダメージ除去及び、コレクタ抵抗を低減させるために注入されたヒ素を拡散させる。そして、表面のSiO₂膜をHF系エッチング液によって全面除去する。本工程ではイオン注入技術を用いたが、高濃度のヒ素を含む塗布膜から熱処理によって拡散しても同様のn⁺型埋込層を形成できるし、不純物としてはアンチモンSbを用いることもある。

【0021】次に素子分離用として形成する選択酸化層4の下面のp⁺シリコン基板が反転層を形成しない様に、チャネル・ストップ用p⁺埋込層2を形成する。形成条件の一例としては、表面を約400オングストローム酸化後、リソグラフィ工程にて、所望外領域に、フォトレジストを残し、このフォトレジストをマスクとしてボロンをイオン注入する。注入条件の一例としては110keV、1E14 (1×10¹⁴) cm⁻²であり、熱処理は温度1000℃の窒素雰囲気中で1時間行う。

【0022】次に表面の酸化膜をHF系のエッチング液によって全面除去した後、n⁺型シリコンエピタキシャル層3を成長させる。原料ガスとしてはSiH₄、又はSiH₂、C₁₂を用い、成長温度は1000℃～1100℃である。ドーピングガスとしてはPH₃が用いられる。このようにして1×10¹⁹ cm⁻³以下の濃度領域が厚さ約0.7ミクロン、表面から埋込領域への遷移領域までの平均的濃度がn型で約1×10¹⁶ cm⁻³のエピタキシャル層を得る。

【0023】次に表面に約500オングストロームのSiO₂膜を形成し、LPCVD法によりシリコン窒化膜を約1000オングストローム堆積させる。この際、温度700～900℃でSiH₂、C₁₂+NH₃のガス反応を用いる。リソグラフィ工程によりパターニングして、このレジストをマスク材として、シリコン窒化膜をドライエッチングによって除去する。シリコン窒化膜下の約500オングストロームのSiO₂膜の表面100～200オングストローム程度が除去される時点でドライエッチングを終了させれば、下地にダメージを与えることなくシリコン窒化膜を完全に除去できる。そして、フォトレジストを除去する。先にパターニングしたシリ

6

コン窒化膜をマスク材として選択的酸化を行い、選択酸化膜4を形成する。選択酸化膜の形成条件の一例としては1000℃スチーム中4時間選択的酸化を行うことによって約8000オングストロームの酸化膜が形成される。

【0024】次に、マスク材として用いたシリコン窒化膜を約60℃のリン酸H₃PO₄中に1時間つけることによって完全に除去する。

【0025】その後、シリコン酸化膜32を約1000オングストローム表面に堆積し、将来的にコレクタ電極を形成する領域上のシリコン酸化膜のみを先の選択酸化工程と同様にリソグラフィ及びドライエッチングによってシリコン酸化膜32をパターニングし、リンを70keV及び5×10¹⁴ cm⁻²でイオン注入し、レジスト除去後窒素雰囲気中で温度900℃で熱処理する。次にアモルファスシリコン37を全面に堆積する。この際、原料ガスとしてSiH₄を用いて温度約500℃でアモルファスシリコンを堆積させた。これらの工程によって図2(a)に示す状態が得られる。

【0026】次にこのアモルファスシリコン37を熱処理、たとえばレーザーアニールによって開口102の単結晶シリコンを核にして、固相エピタキシャル成長させて全面を単結晶シリコン38とする。この状態が図2(b)である。

【0027】この単結晶シリコンをリソグラフィ及びドライエッチングによってパターニングし、レジストを除去する。

【0028】次に、リソグラフィによってベース電極用単結晶シリコン33上のみにレジストが開口するようにパターニングさせ、このレジストをマスクとしてボロンを10keV及び5×10¹⁵ cm⁻²でイオン注入し、レジストを除去する。同様の工程手順をへてコレクタ電極用単結晶シリコン35にリンを50keV及び5×10¹⁴ cm⁻²でイオン注入する。次に、温度610℃の炉内で、ボロン又はリンがイオン注入された領域の単結晶シリコンをアニールする。この状態が図2(c)である。

【0029】その後、通常のLPCVD法によってシリコン窒化膜を約2400オングストローム堆積させる。次にフォトレジストをリソグラフィによってエミッタ領域のみ開口し、このレジストをマスクにシリコン窒化膜、単結晶シリコン33を連続的に異方性ドライエッチングで除去する。その後レジストを除去しその表面にLPCVD法によってシリコン窒化膜を約1200オングストローム堆積後、異方性ドライエッチングによって、表面から約1500オングストローム深さの絶縁膜を除去する。さらに、HF系エッチング液によってシリコン酸化膜を横方向に約0.2μmサイドエッチングする。

【0030】この結果、n⁺型シリコンのエピタキシャル層3の上面は、ベースを形成する領域だけ露出する。

またベース電極用単結晶シリコン膜33は、ベースを形成する領域上に突き出した状態になる。この突き出した端からシリコン酸化膜33の側壁までの距離は、約2000オングストロームであり、この距離だけ下面が露出する。この状態が図2(d)である。

【0031】次に図2(e)に示すようにP型不純物を含んだ単結晶シリコン膜8を露出したエピタキシャル層3の表面に成長すると同時に、P型不純物を含んだ単結晶シリコン膜34を単結晶シリコン膜33の露出した下面から成長する。これにはまず成長前処理として洗浄及びHF系のエッチング液に短時間(たとえば130BHFに30秒間)つけて自然酸化膜を除去した後にウェハをMBE装置内に入れる。次に装置内で温度850℃で10分間程度の熱処理によって上記のエッチング処理では不完全であった自然酸化膜の除去を完全に行なう。この熱処理が不十分な場合、次工程の選択エピタキシャル成長が完全なかたちで行なえないことは言うまでもない。

【0032】次にultra high vacuum / chemical vapor deposition (JHV/CVD)法でベースを成長する。ベース成長条件は基板温度を605℃、 Si_2H_6 流量を12sccm、圧力約 5×10^{-4} Torrであり、シリコン層を100オングストローム/minで選択的に成長する。

【0033】P型シリコン層を成長させるためのドーピングガスとして B_2H_6 を用いる。 B_2H_6 の流量は所望のP型濃度となるように決める。このようにして真性ベース8の厚さ約600オングストローム、B濃度約 $6 \times 10^{18} \text{ cm}^{-3}$ でエピタキシャル層を成長する。もちろんこの際単結晶シリコン外部ベース層34も選択的に成長すること言うまでもない。そして、この選択的成長は真性ベース8と単結晶シリコン外部ベース34とが接続する状態までつづけられる。この接続した状態が図2(e)である。

【0034】これにより、真性ベース8の成長と真性ベース8と単結晶シリコン33との電気的接続とを1つの工程で同時に行なえる。なお、最終的な真性ベース8の厚さは、約600オングストロームであり、最終的な外部ベース34の厚さは500オングストロームである。なおベース8の成長は、数Torrの圧力下で成長させるLPCVD法や他のエピタキシャル法、たとえば分子組エピタキシャル法などを用いることもできる。

【0035】次に、露出面全面にLPCVD法によるシリコン酸化膜14を堆積後、ドライエッチングによってエッチバックする。再びウェハをUHV/CVD装置に入れ、外部ベース34及びシリコン窒化膜36の側壁にシリコン酸化膜14を残す。続いて、絶縁膜で被覆されていない真性ベース8上にエミッタ単結晶シリコン10をn型の不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 厚さで約1000オングストロームの条件で添加して成長させた。

【0036】以降の工程としてはベースとコレクタの金属電極のためにシリコン窒化膜36を開孔し、アルミニウム膜を全面に蒸着後、リソグラフィーによりエミッタ、ベース及びコレクタ部にだけアルミニウム電極12を残す。この結果、図1の半導体装置を作製できる。

【0037】なお、本実施例はNPN型トランジスタについて記したが、不純物を変えるだけでPNP型トランジスタに使える事は言うまでもない。

【0038】次に、本発明の第2の実施例を図3に示す。

【0039】図3を参照して、本実施例の半導体装置はUHV/CVD法によるベース8の成長時に、材料ガスとして Si_2H_6 と GeH_4 とを用い、シリコンとゲルマニウムとの合金膜を形成した。MBEの条件は、第1の実施例の条件に加えて GeH_4 を $\text{Si}_2\text{H}_6 : \text{GeH}_4 = 3 : 2$ (流量比)の割合で追加すれば良い。これによりゲルマニウムを10モル%含む単結晶シリコンゲルマニウム合金膜15は、コレクタ3上にエピタキシャル成長される。

【0040】この成長と同時に単結晶シリコンゲルマニウム合金外部ベース16もベース電極用単結晶シリコン33のオーバーハング下部に成長し、そして前述の真性ベース膜15と接続される。

【0041】このシリコンゲルマニウム合金ベース膜15の禁制帯幅は、エミッタとして用いたシリコンの禁制帯幅よりも狭くなる。この縮小量は、Geのモル%及びシリコンゲルマニウム合金膜の歪量に依存している。この禁制帯幅の差は、ベースからエミッタへ注入される少数キャリアにとって障壁となって、ベース電流の増大を抑制する。すなわちこの禁制帯幅の差は、遮断周波数 f_r を向上する。そしてこの禁制帯幅の差により、コレクタ・エミッタ間の耐圧 BV_{CE0} をある一定値以上に保つためにベース層を薄膜・高濃度化させた場合でも、電流増幅率 h_{FE} を十分な大きさにできる。

【0042】この実施例では、 SiGe をベースとした場合であり、コレクタ用エピタキシャル層3とベース電極用単結晶シリコン層33との間で形成される寄生容量が低減する。何故ならば、本実施例では両者の間隔は、約1000オングストロームであった。従来技術では、外部ベース多結晶 SiGe 膜(図6の符号9)が約100~150オングストローム、真性ベース SiGe 膜が500オングストロームであるから、ベース電極用シリコン/コレクタ用エピタキシャル層の間を約600オングストローム以下としなければ真性ベースが外部ベースと接続しない。すなわち本発明によれば寄生容量が(600オングストローム)/(1000オングストローム)=0.6になる。

【0043】逆に、寄生容量を従来技術で小さくするには真性ベースを厚くする必要があり、従って遮断周波数 f_r が低下してしまう。

【0044】また、本発明ではベース電極用シリコンが単結晶であるので、この部分の抵抗が低減されることは言うまでもない。

【0045】本発明の第3実施例を図4の断面図を用いて説明する。

【0046】図4を参照して、第1の実施例の単結晶シリコン膜33の部分が、本実施例では $TiSi_2$ フィルム17と単結晶シリコン膜20との2層構造となっている。他の構造は、第1の実施例と同一である。これにより、 $TiSi_2$ フィルム17の抵抗が低いだけ、ベース抵抗を低減できる。

【0047】製造方法では、単結晶シリコン膜20上に Ti 膜をスパッタした後、熱処理して上述の2層構造を形成する。例えば、 $TiSi_2$ 膜17の厚さが約1000オングストローム／単結晶シリコン膜20の厚さが約1500オングストロームで所定の配線幅である時、シート抵抗 ρ_s は2~3 Ω となる。この抵抗値は、単結晶シリコン膜33が厚さが約2500オングストロームで同一配線幅である時、シート抵抗 ρ_s が8~9 Ω となるのに比べ、抵抗値が半分以下になっている。

【0048】図5は本発明の第4実施例の半導体装置の断面図である。

【0049】図5を参照して、本実施例の主要な構造及び製造方法は、第1実施例と同一であるので、違い部分だけを説明する。本実施例の特有な構成は、n型不純物が添加されたエミッタ用多結晶シリコン膜21及び N^+ エミッタ拡散層18である。真性ベース膜39は、 N^+ エミッタ拡散層18の分だけさらに薄くなっていて、トランジスタのスイッチング速度の高速化がさらに促進できる。なお、この拡散層18の形成時に、真性ベース膜の不純物が、エピタキシャル層3に拡張して、少々ベースとコレクタの接合面がコレクタ側に移動する場合があります。

【0050】尚、この実施例では、エミッタ拡散層18の拡散深さは約200オングストロームであるので、真性ベースを $SiGe$ 合金層とするために、真性ベース膜39は、約400オングストロームの $Si_{0.9}Ge_{0.1}$ 、約200オングストロームの Si を順次選択的に成長した膜とした。ボロン濃度は約 $6 \times 10^{16} cm^{-3}$ である。この結果、エミッタ／ベース間の接合が $Si/Si_{0.9}Ge_{0.1}$ のヘテロ接合と一致するので、電流増幅率 h_{FE} を向上させる効果を保ちえる。この時外部ベース24も $Si_{0.9}Ge_{0.1}/Si$ の2層となることは言うまでもない。

【0051】本発明による第5の実施例について説明する。

【0052】本実施例における特有の構成は、n型不純物が $1 \times 10^{19} at/cm^3$ 添加されたエミッタ用単結晶シリコン膜22とエミッタ電極用多結晶シリコン膜18である。このエミッタ電極用多結晶シリコン膜18

は、トランジスタのベース電流低減に寄与するため、電流増幅率の向上に役だつ。この他、シリコン膜18は、配線金属形成後の熱処理による金属-素子間のアロイピット形成に供なう素子接合破壊のバリアともなる。

【0053】

【発明の効果】以上説明したように本発明では、ベース電極用シリコンを単結晶としたことによって、選択的エピタキシャル成長でベースを形成するトランジスタにおいてベース／コレクタ間の寄生容量を低減できるという効果があり、特に、 $SiGe$ をベースとする場合、寄生容量を約60%まで低減することができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の第1の実施例を示す縦断面図である。

【図2】本発明による半導体装置の第1の実施例の主要作製工程を説明するための図である。

【図3】本発明による半導体装置の第2の実施例を示す縦断面図である。

【図4】本発明による半導体装置の第3の実施例を示す縦断面図である。

【図5】本発明による半導体装置の第4の実施例を示す縦断面図である。

【図6】従来の半導体装置の一例を示す縦断面図である。

【図7】従来の半導体装置の他の例を示す縦断面図である。

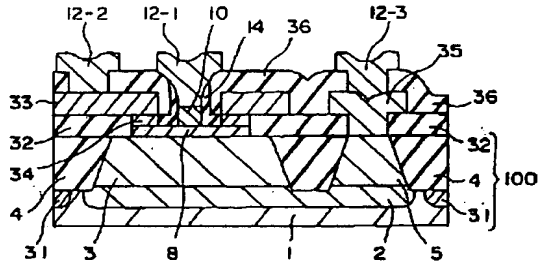
【符号の説明】

- 1 P^+ 型シリコン基板
- 2 埋込層
- 3 エピタキシャル層
- 4 選択酸化層
- 5 拡散層
- 6 多結晶シリコン膜
- 7 シリコン窒化膜
- 8 真性ベース膜
- 9 多結晶シリコン外部ベース膜
- 10 単結晶シリコン膜
- 11 コレクタ電極用多結晶シリコン膜
- 12-1, 12-2, 12-3 金属電極
- 13~14 酸化膜
- 15 シリコンゲルマニウム合金膜
- 17 $TiSi_2$ 膜
- 18 エミッタ電極用多結晶シリコン膜
- 20 単結晶シリコン膜
- 21 エミッタ用多結晶シリコン膜
- 31 チャネルストッパー埋込領域
- 32 シリコン酸化膜
- 33 P^+ 単結晶シリコン膜
- 34 P 型単結晶シリコン膜
- 35 N^+ 型単結晶シリコン膜

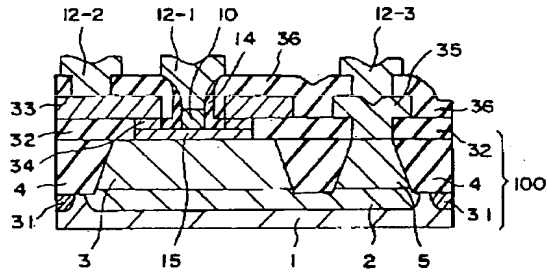
11

- 36 シリコン窒化膜
37 アモルファス・シリコン膜
38 単結晶シリコン

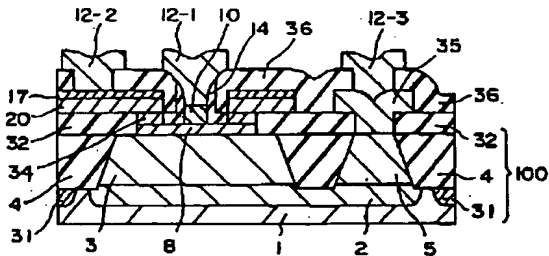
【図1】



【図3】



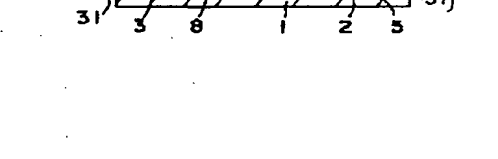
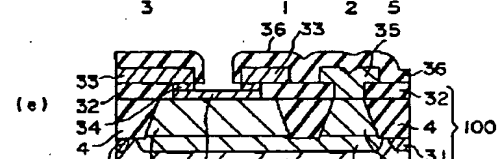
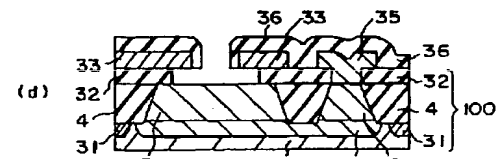
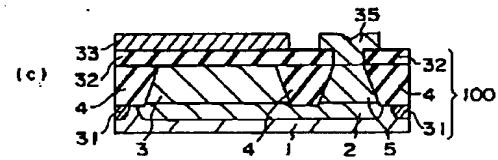
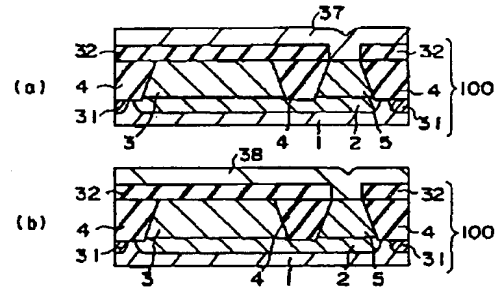
【図4】



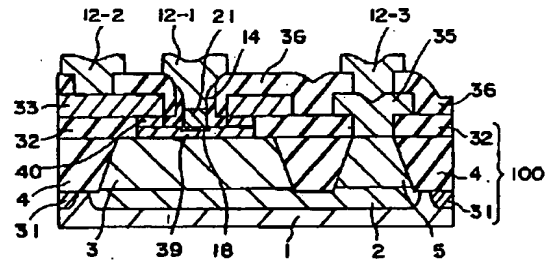
12

- 39 $\text{Si}_{0.9}\text{Ge}_{0.1}$ / Si 単結晶真性ベース
40 $\text{Si}_{0.9}\text{Ge}_{0.1}$ / Si 単結晶

【図2】



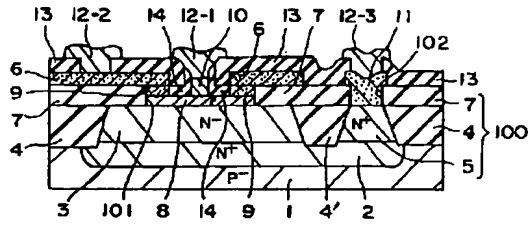
【図5】



(8)

特開平7-183310

【図6】



【図7】

